

Демонстрационная плата

FXPCTL – это плата, предназначенная для отладки и тестирования систем, построенных на основе протокола FXP, а также для ознакомления с самим протоколом. Плата представляет собой макет ячейки управления и включает как протокольную часть, так и пользовательские ресурсы.

В ячейку входят следующие основные элементы:

элементы протокола:

- FX2 (CY7C68013-56PVC);
- DCU (XC2S50E-7TQ144C);
- PBM (XC9572XL-7TQ100C);
- буферы сегментов A, B и C (SN74ALVCH16245DL);
- EEPROM (24LC256-E/SM);
- разъем шины FXP сегмента A (IDC-64MS);

пользовательские ресурсы:

- целевая мс. FPGA XC2S50E-7TQ144C;
- два семи сегментных индикатора (SA56-21GWA);
- разъем PLD-20 (9 бит данных, external CLK, 10 GNDD);
- тактовая кнопка.

На рис.1 изображена функциональная схема ячейки.

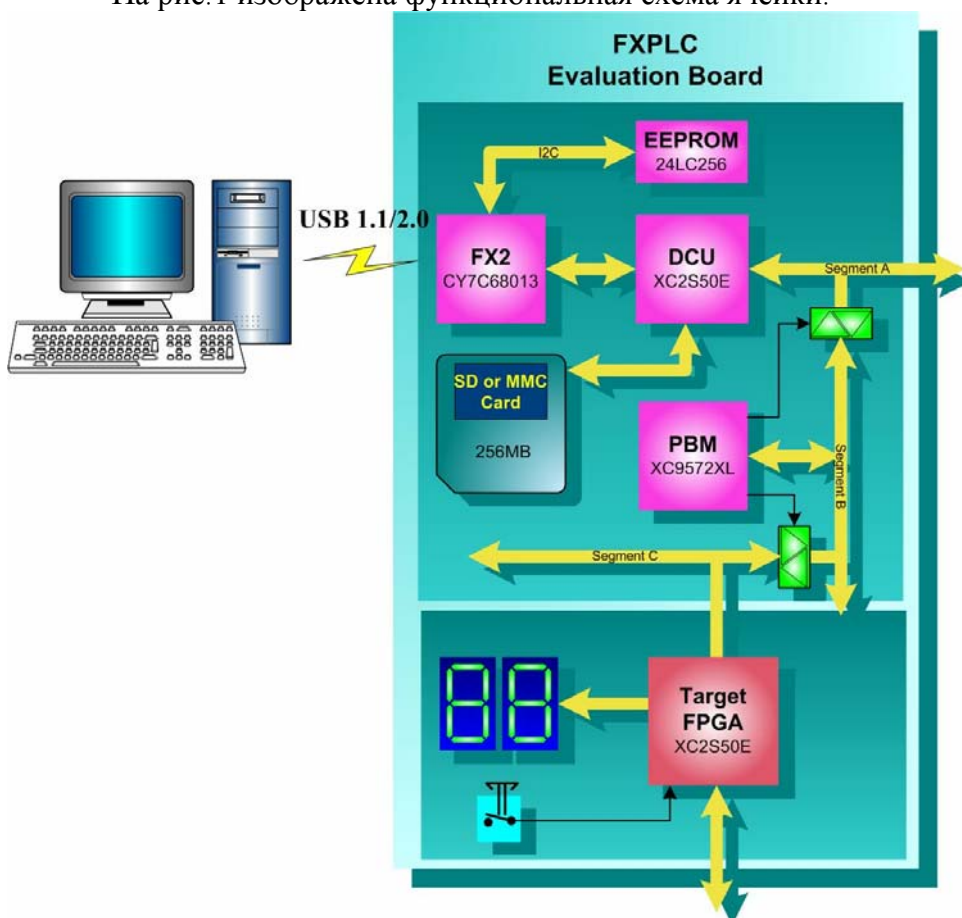


Рис. 1

На рис.2 приведена фотография ячейки с указанием основных элементов.

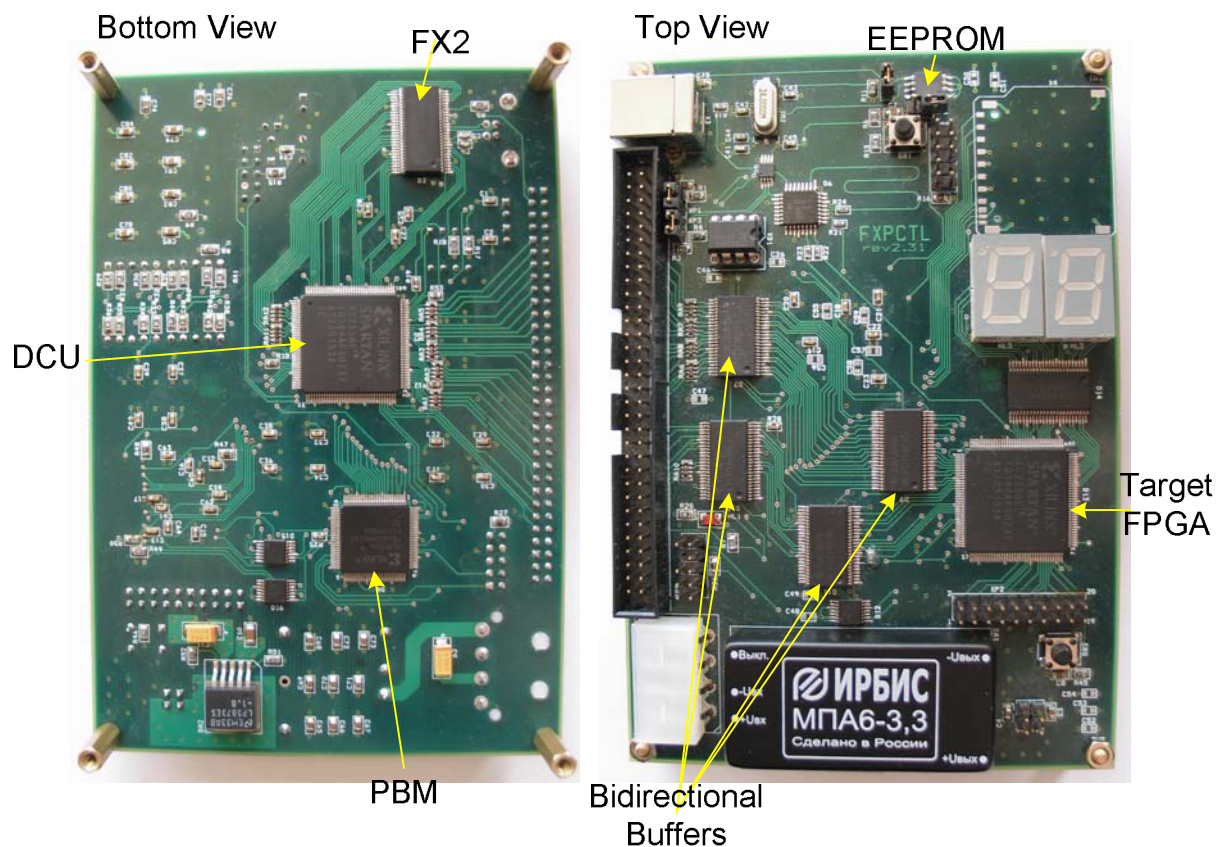


Рис. 2

Подробное описание и документацию на ячейку смотрите в разделе документации.